



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07295521

(43)Date of publication of application: 10.11.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number: 06107599

(71)Applicant:

SONY CORP

(22)Date of filing: 22.04.1994

(72)Inventor:

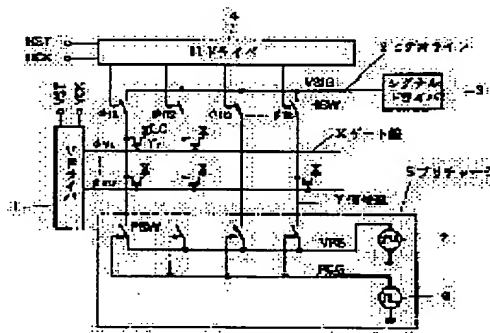
MAEKAWA TOSHIOCHI
UCHINO KATSUhide

(54) ACTIVE MATRIX DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To suppress potential fluctuations of a video line accompanying an increase in sampling rate.

CONSTITUTION: The active matrix display device is equipped with row gate lines X, column signal lines Y, and liquid crystal pixels LC arranged at their intersection parts in a matrix. A V-driver 1 scans the respective gate lines X in sequence and selects liquid crystal pixels LC of one line at each horizontal period. An H-driver 4 samples a video signal VSIG of each signal line Y and writes the video signal VSIG in the liquid crystal pixels LC of one line selected in each horizontal period. A precharging means 5 supplies a specific precharge signal VPS to the respective signal lines Y right before writing the video signal to the liquid crystal pixels LC of the one line. Consequently, the charging/ discharging capacity of each signal line Y is reducible when the video signal VSIG is sampled, and the potential fluctuations of the video line 2 can be suppressed.



LEGAL STATUS

[Date of request for examination]

27.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application
No. 295521/1995 (Tokukaihei 7-295521)

A. Relevance of the Above-identified Document

This publication discloses prior art as technological background of the present invention.

B. Translation of the Relevant Passages of the Document

[CONSTITUTION] ... Immediately before writing a video signal VSIG into a row of liquid crystal pixels LC, precharging means 5 supplies respective signal lines Y with a predetermined precharge signal VPS.

[CLAIMS]

[CLAIM 1] An active matrix display device, ..., comprising precharging means for supplying respective signal lines with a predetermined precharge signal immediately before writing a video signal into a row of pixels.

[CLAIM 4] the active matrix display device as set forth in claim 1, wherein said precharging means ... is made up of ..., and control means for simultaneously opening or closing respective switching elements and applying the precharge signal to the respective signal lines.

[CLAIM 5] The active matrix display device as set forth in claim 1, wherein said precharging means is ...

made up of ..., and control means for simultaneously opening or closing respective switching elements immediately before the writing, and applying a precharge signal which is included in a portion of the video signal to the respective signal lines.

[CLAIM 6] A driving method of an active matrix display device ..., comprising the step of performing ... a precharge for simultaneously supplying respective signal lines with a predetermined precharge signal immediately before writing a video signal into a row of pixels.

(3)

H SWに供給されるサンプリングパルスは、前記トランジスタ (TFT) で構成されたシフトレジスタからなるHライバで作成される。TFTは最終画素シフトで作成した通常のトランジスタに比べ、モビリティが低く又各物理定数のばらつきも大きい。この回路で作成されるサンプリングパルスを精製し制御する事は困難である。又、サンプリングパルス幅のばらつきに加えて、H SWのオン抵抗にもある程度のばらつきがある為、信号線の充放電特性に変動を与える。この為、ビデオラインの電位に揺れが生じ、これが映像信号に重畳され縦方向に見える為表示画像の品位を著しく損なう。

[0006]

[課題を解決するための手段] 上述した従来の技術の問題に鑑み、本発明は映像信号のサンプリングレートの高速度に伴うビデオラインの電位揺れを抑制する事を目的とする。かかる目的を達成する為には以下の手段を講じた。即ち、本発明にかかると、行状のゲート線と、列状の信号線と、両者の交差部に配された行列状の画素とを備えている。又、各ゲート線を順次走査し一水平期間毎に一行分の画素を選択する垂直走査回路と、各信号線に対して映像信号をサンプリングし、一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査回路とを有する。本発明の特長事項として、フリチャージ手段を備えており一行分の画素に対して映像信号を書き込む直前に各信号線に所定のフリチャージ信号を供給する。

[0006] 前記フリチャージ手段は、白レベルと黒レベルの間で変化する映像信号に対して反レベルを有するフリチャージ信号を供給する。交流反転駆動を行なう場合には、前記フリチャージ手段は一水平期間毎に反転する映像信号に対して極性を一致させる為、同じく一水平期間毎に反転するフリチャージ信号を供給する。

[0007] 本発明の一態様によれば、前記フリチャージ手段は水平走査回路と別体に設けてあり、各信号線の端部に接続した複数のスイッチング素子と、各スイッチング素子を一斉に開閉してフリチャージ信号を各信号線に印加する制御手段とからなる。本発明の他の態様によれば、前記フリチャージ手段は水平走査回路と一体に設けてあり、各信号線の端部に接続した複数のスイッチング素子と、書き込み時各スイッチング素子を順次開閉して対応する信号線に映像信号をサンプリングする一方、書き込み直前各スイッチング素子を一斉に開閉して映像信号の一部に含まれるフリチャージ信号を各信号線に印加する制御手段とからなる。

[0008] 本発明はアナログトランジスタ表示装置の駆動方法を包含している。本駆動方法では、各ゲート線を順次走査して一水平期間毎に一行分の画素を選択する垂直走査と、各信号線に対して映像信号を順次サンプリングし一水平期間内に選択された一行分の画素に映像信号を書き込む水平走査と、一行分の画素に対して映像信

号を書き込む直前各信号線に所定のフリチャージ信号を一斉に供給するフリチャージを行なう。

[0008]

[作用] 本発明によれば、表示動作に影響を与えないタイミングで、全信号線に映像信号に近い電位まで予めフリチャージしておく。これにより、映像信号が各信号線にサンプリングされた時の充放電量を低減し、ビデオラインの電位揺れを抑制する。

[0010]

[実施例] 以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかると、アナログトランジスタ表示装置の第1実施例を示す模式的な回路図である。図示する様に、本アナログトランジスタ表示装置は行状に配列したゲート線Xと列状に配列した信号線Yとを備えている。又、ゲート線Xと信号線Yの交差部には液晶画素LCが行列状に配されている。本実施例のアナログトランジスタ表示装置は液晶画素を備えているが、他の電気光学物質からなる画素であっても良い事は加論である。液晶画素LCは薄膜トランジスタT₁により駆動される。薄膜トランジスタT₁のソース電極は対応する信号線Yに接続され、ゲート電極は対応するゲート線Xに接続され、ドレイン電極は対応する液晶画素LCに接続されている。

[0011] 各ゲート線XにはV_Dドライバ1が接続されており垂直走査回路を構成する。このV_Dドライバ1は所定のクロック信号V_{CK}に依り垂直走査スタンプパルスSTを順次駆動し、各ゲート線Xに対して選択パルスφ₁, φ₂, ..., φ_Nを供給する。これにより、各ゲート線Xを順次走査し、一水平期間毎に一行分の液晶画素LCを選択する。

[0012] 一方、個々の信号線Yは対応する水平スイッチング素子H SWを介してビデオライン2に接続されている。このビデオライン2にはシグナルドライバ3から映像信号V_{SI}Gが供給される。又、Hドライバ4を備えており、各水平スイッチング素子H SWの開閉制御を行なう。即ち、Hドライバ4は所定のクロック信号H_{CK}に同期して水平スタンプパルスH STを順次駆動し、サンプリングパルスφ₁, φ₂, ..., φ_Nを出力して水平スイッチング素子H SWを開閉する。このHドライバ4と水平スイッチング素子H SWとにより水平走査回路が構成され、各信号線Yに対して映像信号V_{SI}Gをサンプリングし、一水平期間内に選択された一行分の画素LCに対して導通状態にある薄膜トランジスタT₁を介し映像信号V_{SI}Gを書き込む。

[0013] 本発明の特長事項として、フリチャージ手段を備えており、一行分の液晶画素LCに映像信号V_{SI}Gを書き込む直前各信号線Yに所定のフリチャージ信号V_{PS}を供給し、映像信号V_{SI}Gをサンプリングする際生じる各信号線Yの充放電量を低減する。本実施例では、このフリチャージ手段は上述した水平走査

(4)

回路と別体に設けてあり、各信号線Yの端部に接続した複数のスイッチング素子P SWと、各スイッチング素子P SWを一斉に開閉してフリチャージ信号V_{PS}を各信号線Yに印加する制御手段6とから構成されている。本実施例ではこの制御手段6は薄膜パルスP CGを出力する。なお、フリチャージ信号V_{PS}はシグナルドライバ3とは別に設けられた信号源7から供給される。このフリチャージ信号V_{PS}は白レベルと黒レベルの間で変化する映像信号V_{SI}Gに対して反レベルを有している。本実施例では水平スイッチング素子H SWと追目のスイッチング素子P SWは信号線Yの両端に設けられているが、本発明はこれに限られるものではなくH SWと同じ様にP SWを設けても良い。

[0014] 次に図2のタイミングチャートを参照して、図1に示したアナログトランジスタ表示装置の動作を詳細に説明する。V_Dドライバ1に入力される垂直クロック信号V_{CK}は一水平期間 (1H) に相当するパルスを有する。又、制御手段6から出力される薄膜パルスP CGは例えば水平スキャン期間等の水平非有効期間内に出力される。この薄膜パルスP CGが水平有効期間内で与えられると、液晶画素LCにフリチャージ信号V_{PS}が書き込まれる傾向がある。又、図1に示したV_Dドライバ1から順次出力される選択パルスφ₁ φ₂ φ₃ φ₄ φ₅ φ₆ φ₇ φ₈ φ₉ φ₁₀ φ₁₁ φ₁₂ φ₁₃ φ₁₄ φ₁₅ φ₁₆ φ₁₇ φ₁₈ φ₁₉ φ₂₀ φ₂₁ φ₂₂ φ₂₃ φ₂₄ φ₂₅ φ₂₆ φ₂₇ φ₂₈ φ₂₉ φ₃₀ φ₃₁ φ₃₂ φ₃₃ φ₃₄ φ₃₅ φ₃₆ φ₃₇ φ₃₈ φ₃₉ φ₄₀ φ₄₁ φ₄₂ φ₄₃ φ₄₄ φ₄₅ φ₄₆ φ₄₇ φ₄₈ φ₄₉ φ₅₀ φ₅₁ φ₅₂ φ₅₃ φ₅₄ φ₅₅ φ₅₆ φ₅₇ φ₅₈ φ₅₉ φ₆₀ φ₆₁ φ₆₂ φ₆₃ φ₆₄ φ₆₅ φ₆₆ φ₆₇ φ₆₈ φ₆₉ φ₇₀ φ₇₁ φ₇₂ φ₇₃ φ₇₄ φ₇₅ φ₇₆ φ₇₇ φ₇₈ φ₇₉ φ₈₀ φ₈₁ φ₈₂ φ₈₃ φ₈₄ φ₈₅ φ₈₆ φ₈₇ φ₈₈ φ₈₉ φ₉₀ φ₉₁ φ₉₂ φ₉₃ φ₉₄ φ₉₅ φ₉₆ φ₉₇ φ₉₈ φ₉₉ φ₁₀₀ φ₁₀₁ φ₁₀₂ φ₁₀₃ φ₁₀₄ φ₁₀₅ φ₁₀₆ φ₁₀₇ φ₁₀₈ φ₁₀₉ φ₁₁₀ φ₁₁₁ φ₁₁₂ φ₁₁₃ φ₁₁₄ φ₁₁₅ φ₁₁₆ φ₁₁₇ φ₁₁₈ φ₁₁₉ φ₁₂₀ φ₁₂₁ φ₁₂₂ φ₁₂₃ φ₁₂₄ φ₁₂₅ φ₁₂₆ φ₁₂₇ φ₁₂₈ φ₁₂₉ φ₁₃₀ φ₁₃₁ φ₁₃₂ φ₁₃₃ φ₁₃₄ φ₁₃₅ φ₁₃₆ φ₁₃₇ φ₁₃₈ φ₁₃₉ φ₁₄₀ φ₁₄₁ φ₁₄₂ φ₁₄₃ φ₁₄₄ φ₁₄₅ φ₁₄₆ φ₁₄₇ φ₁₄₈ φ₁₄₉ φ₁₅₀ φ₁₅₁ φ₁₅₂ φ₁₅₃ φ₁₅₄ φ₁₅₅ φ₁₅₆ φ₁₅₇ φ₁₅₈ φ₁₅₉ φ₁₆₀ φ₁₆₁ φ₁₆₂ φ₁₆₃ φ₁₆₄ φ₁₆₅ φ₁₆₆ φ₁₆₇ φ₁₆₈ φ₁₆₉ φ₁₇₀ φ₁₇₁ φ₁₇₂ φ₁₇₃ φ₁₇₄ φ₁₇₅ φ₁₇₆ φ₁₇₇ φ₁₇₈ φ₁₇₉ φ₁₈₀ φ₁₈₁ φ₁₈₂ φ₁₈₃ φ₁₈₄ φ₁₈₅ φ₁₈₆ φ₁₈₇ φ₁₈₈ φ₁₈₉ φ₁₉₀ φ₁₉₁ φ₁₉₂ φ₁₉₃ φ₁₉₄ φ₁₉₅ φ₁₉₆ φ₁₉₇ φ₁₉₈ φ₁₉₉ φ₂₀₀ φ₂₀₁ φ₂₀₂ φ₂₀₃ φ₂₀₄ φ₂₀₅ φ₂₀₆ φ₂₀₇ φ₂₀₈ φ₂₀₉ φ₂₁₀ φ₂₁₁ φ₂₁₂ φ₂₁₃ φ₂₁₄ φ₂₁₅ φ₂₁₆ φ₂₁₇ φ₂₁₈ φ₂₁₉ φ₂₂₀ φ₂₂₁ φ₂₂₂ φ₂₂₃ φ₂₂₄ φ₂₂₅ φ₂₂₆ φ₂₂₇ φ₂₂₈ φ₂₂₉ φ₂₃₀ φ₂₃₁ φ₂₃₂ φ₂₃₃ φ₂₃₄ φ₂₃₅ φ₂₃₆ φ₂₃₇ φ₂₃₈ φ₂₃₉ φ₂₄₀ φ₂₄₁ φ₂₄₂ φ₂₄₃ φ₂₄₄ φ₂₄₅ φ₂₄₆ φ₂₄₇ φ₂₄₈ φ₂₄₉ φ₂₅₀ φ₂₅₁ φ₂₅₂ φ₂₅₃ φ₂₅₄ φ₂₅₅ φ₂₅₆ φ₂₅₇ φ₂₅₈ φ₂₅₉ φ₂₆₀ φ₂₆₁ φ₂₆₂ φ₂₆₃ φ₂₆₄ φ₂₆₅ φ₂₆₆ φ₂₆₇ φ₂₆₈ φ₂₆₉ φ₂₇₀ φ₂₇₁ φ₂₇₂ φ₂₇₃ φ₂₇₄ φ₂₇₅ φ₂₇₆ φ₂₇₇ φ₂₇₈ φ₂₇₉ φ₂₈₀ φ₂₈₁ φ₂₈₂ φ₂₈₃ φ₂₈₄ φ₂₈₅ φ₂₈₆ φ₂₈₇ φ₂₈₈ φ₂₈₉ φ₂₉₀ φ₂₉₁ φ₂₉₂ φ₂₉₃ φ₂₉₄ φ₂₉₅ φ₂₉₆ φ₂₉₇ φ₂₉₈ φ₂₉₉ φ₃₀₀ φ₃₀₁ φ₃₀₂ φ₃₀₃ φ₃₀₄ φ₃₀₅ φ₃₀₆ φ₃₀₇ φ₃₀₈ φ₃₀₉ φ₃₁₀ φ₃₁₁ φ₃₁₂ φ₃₁₃ φ₃₁₄ φ₃₁₅ φ₃₁₆ φ₃₁₇ φ₃₁₈ φ₃₁₉ φ₃₂₀ φ₃₂₁ φ₃₂₂ φ₃₂₃ φ₃₂₄ φ₃₂₅ φ₃₂₆ φ₃₂₇ φ₃₂₈ φ₃₂₉ φ₃₃₀ φ₃₃₁ φ₃₃₂ φ₃₃₃ φ₃₃₄ φ₃₃₅ φ₃₃₆ φ₃₃₇ φ₃₃₈ φ₃₃₉ φ₃₄₀ φ₃₄₁ φ₃₄₂ φ₃₄₃ φ₃₄₄ φ₃₄₅ φ₃₄₆ φ₃₄₇ φ₃₄₈ φ₃₄₉ φ₃₅₀ φ₃₅₁ φ₃₅₂ φ₃₅₃ φ₃₅₄ φ₃₅₅ φ₃₅₆ φ₃₅₇ φ₃₅₈ φ₃₅₉ φ₃₆₀ φ₃₆₁ φ₃₆₂ φ₃₆₃ φ₃₆₄ φ₃₆₅ φ₃₆₆ φ₃₆₇ φ₃₆₈ φ₃₆₉ φ₃₇₀ φ₃₇₁ φ₃₇₂ φ₃₇₃ φ₃₇₄ φ₃₇₅ φ₃₇₆ φ₃₇₇ φ₃₇₈ φ₃₇₉ φ₃₈₀ φ₃₈₁ φ₃₈₂ φ₃₈₃ φ₃₈₄ φ₃₈₅ φ₃₈₆ φ₃₈₇ φ₃₈₈ φ₃₈₉ φ₃₉₀ φ₃₉₁ φ₃₉₂ φ₃₉₃ φ₃₉₄ φ₃₉₅ φ₃₉₆ φ₃₉₇ φ₃₉₈ φ₃₉₉ φ₄₀₀ φ₄₀₁ φ₄₀₂ φ₄₀₃ φ₄₀₄ φ₄₀₅ φ₄₀₆ φ₄₀₇ φ₄₀₈ φ₄₀₉ φ₄₁₀ φ₄₁₁ φ₄₁₂ φ₄₁₃ φ₄₁₄ φ₄₁₅ φ₄₁₆ φ₄₁₇ φ₄₁₈ φ₄₁₉ φ₄₂₀ φ₄₂₁ φ₄₂₂ φ₄₂₃ φ₄₂₄ φ₄₂₅ φ₄₂₆ φ₄₂₇ φ₄₂₈ φ₄₂₉ φ₄₃₀ φ₄₃₁ φ₄₃₂ φ₄₃₃ φ₄₃₄ φ₄₃₅ φ₄₃₆ φ₄₃₇ φ₄₃₈ φ₄₃₉ φ₄₄₀ φ₄₄₁ φ₄₄₂ φ₄₄₃ φ₄₄₄ φ₄₄₅ φ₄₄₆ φ₄₄₇ φ₄₄₈ φ₄₄₉ φ₄₅₀ φ₄₅₁ φ₄₅₂ φ₄₅₃ φ₄₅₄ φ₄₅₅ φ₄₅₆ φ₄₅₇ φ₄₅₈ φ₄₅₉ φ₄₆₀ φ₄₆₁ φ₄₆₂ φ₄₆₃ φ₄₆₄ φ₄₆₅ φ₄₆₆ φ₄₆₇ φ₄₆₈ φ₄₆₉ φ₄₇₀ φ₄₇₁ φ₄₇₂ φ₄₇₃ φ₄₇₄ φ₄₇₅ φ₄₇₆ φ₄₇₇ φ₄₇₈ φ₄₇₉ φ₄₈₀ φ₄₈₁ φ₄₈₂ φ₄₈₃ φ₄₈₄ φ₄₈₅ φ₄₈₆ φ₄₈₇ φ₄₈₈ φ₄₈₉ φ₄₉₀ φ₄₉₁ φ₄₉₂ φ₄₉₃ φ₄₉₄ φ₄₉₅ φ₄₉₆ φ₄₉₇ φ₄₉₈ φ₄₉₉ φ₅₀₀ φ₅₀₁ φ₅₀₂ φ₅₀₃ φ₅₀₄ φ₅₀₅ φ₅₀₆ φ₅₀₇ φ₅₀₈ φ₅₀₉ φ₅₁₀ φ₅₁₁ φ₅₁₂ φ₅₁₃ φ₅₁₄ φ₅₁₅ φ₅₁₆ φ₅₁₇ φ₅₁₈ φ₅₁₉ φ₅₂₀ φ₅₂₁ φ₅₂₂ φ₅₂₃ φ₅₂₄ φ₅₂₅ φ₅₂₆ φ₅₂₇ φ₅₂₈ φ₅₂₉ φ₅₃₀ φ₅₃₁ φ₅₃₂ φ₅₃₃ φ₅₃₄ φ₅₃₅ φ₅₃₆ φ₅₃₇ φ₅₃₈ φ₅₃₉ φ₅₄₀ φ₅₄₁ φ₅₄₂ φ₅₄₃ φ₅₄₄ φ₅₄₅ φ₅₄₆ φ₅₄₇ φ₅₄₈ φ₅₄₉ φ₅₅₀ φ₅₅₁ φ₅₅₂ φ₅₅₃ φ₅₅₄ φ₅₅₅ φ₅₅₆ φ₅₅₇ φ₅₅₈ φ₅₅₉ φ₅₆₀ φ₅₆₁ φ₅₆₂ φ₅₆₃ φ₅₆₄ φ₅₆₅ φ₅₆₆ φ₅₆₇ φ₅₆₈ φ₅₆₉ φ₅₇₀ φ₅₇₁ φ₅₇₂ φ₅₇₃ φ₅₇₄ φ₅₇₅ φ₅₇₆ φ₅₇₇ φ₅₇₈ φ₅₇₉ φ₅₈₀ φ₅₈₁ φ₅₈₂ φ₅₈₃ φ₅₈₄ φ₅₈₅ φ₅₈₆ φ₅₈₇ φ₅₈₈ φ₅₈₉ φ₅₉₀ φ₅₉₁ φ₅₉₂ φ₅₉₃ φ₅₉₄ φ₅₉₅ φ₅₉₆ φ₅₉₇ φ₅₉₈ φ₅₉₉ φ₆₀₀ φ₆₀₁ φ₆₀₂ φ₆₀₃ φ₆₀₄ φ₆₀₅ φ₆₀₆ φ₆₀₇ φ₆₀₈ φ₆₀₉ φ₆₁₀ φ₆₁₁ φ₆₁₂ φ₆₁₃ φ₆₁₄ φ₆₁₅ φ₆₁₆ φ₆₁₇ φ₆₁₈ φ₆₁₉ φ₆₂₀ φ₆₂₁ φ₆₂₂ φ₆₂₃ φ₆₂₄ φ₆₂₅ φ₆₂₆ φ₆₂₇ φ₆₂₈ φ₆₂₉ φ₆₃₀ φ₆₃₁ φ₆₃₂ φ₆₃₃ φ₆₃₄ φ₆₃₅ φ₆₃₆ φ₆₃₇ φ₆₃₈ φ₆₃₉ φ₆₄₀ φ₆₄₁ φ₆₄₂ φ₆₄₃ φ₆₄₄ φ₆₄₅ φ₆₄₆ φ₆₄₇ φ₆₄₈ φ₆₄₉ φ₆₅₀ φ₆₅₁ φ₆₅₂ φ₆₅₃ φ₆₅₄ φ₆₅₅ φ₆₅₆ φ₆₅₇ φ₆₅₈ φ₆₅₉ φ₆₆₀ φ₆₆₁ φ₆₆₂ φ₆₆₃ φ₆₆₄ φ₆₆₅ φ₆₆₆ φ₆₆₇ φ₆₆₈ φ₆₆₉ φ₆₇₀ φ₆₇₁ φ₆₇₂ φ₆₇₃ φ₆₇₄ φ₆₇₅ φ₆₇₆ φ₆₇₇ φ₆₇₈ φ₆₇₉ φ₆₈₀ φ₆₈₁ φ₆₈₂ φ₆₈₃ φ₆₈₄ φ₆₈₅ φ₆₈₆ φ₆₈₇ φ₆₈₈ φ₆₈₉ φ₆₉₀ φ₆₉₁ φ₆₉₂ φ₆₉₃ φ₆₉₄ φ₆₉₅ φ₆₉₆ φ₆₉₇ φ₆₉₈ φ₆₉₉ φ₇₀₀ φ₇₀₁ φ₇₀₂ φ₇₀₃ φ₇₀₄ φ₇₀₅ φ₇₀₆ φ₇₀₇ φ₇₀₈ φ₇₀₉ φ₇₁₀ φ₇₁₁ φ₇₁₂ φ₇₁₃ φ₇₁₄ φ₇₁₅ φ₇₁₆ φ₇₁₇ φ₇₁₈ φ₇₁₉ φ₇₂₀ φ₇₂₁ φ₇₂₂ φ₇₂₃ φ₇₂₄ φ₇₂₅ φ₇₂₆ φ₇₂₇ φ₇₂₈ φ₇₂₉ φ₇₃₀ φ₇₃₁ φ₇₃₂ φ₇₃₃ φ₇₃₄ φ₇₃₅ φ₇₃₆ φ₇₃₇ φ₇₃₈ φ₇₃₉ φ₇₄₀ φ₇₄₁ φ₇₄₂ φ₇₄₃ φ₇₄₄ φ₇₄₅ φ₇₄₆ φ₇₄₇ φ₇₄₈ φ₇₄₉ φ₇₅₀ φ₇₅₁ φ₇₅₂ φ₇₅₃ φ₇₅₄ φ₇₅₅ φ₇₅₆ φ₇₅₇ φ₇₅₈ φ₇₅₉ φ₇₆₀ φ₇₆₁ φ₇₆₂ φ₇₆₃ φ₇₆₄ φ₇₆₅ φ₇₆₆ φ₇₆₇ φ₇₆₈ φ₇₆₉ φ₇₇₀ φ₇₇₁ φ₇₇₂ φ₇₇₃ φ₇₇₄ φ₇₇₅ φ₇₇₆ φ₇₇₇ φ₇₇₈ φ₇₇₉ φ₇₈₀ φ₇₈₁ φ₇₈₂ φ₇₈₃ φ₇₈₄ φ₇₈₅ φ₇₈₆ φ₇₈₇ φ₇₈₈ φ₇₈₉ φ₇₉₀ φ₇₉₁ φ₇₉₂ φ₇₉₃ φ₇₉₄ φ₇₉₅ φ₇₉₆ φ₇₉₇ φ₇₉₈ φ₇₉₉ φ₈₀₀ φ₈₀₁ φ₈₀₂ φ₈₀₃ φ₈₀₄ φ₈₀₅ φ₈₀₆ φ₈₀₇ φ₈₀₈ φ₈₀₉ φ₈₁₀ φ₈₁₁ φ₈₁₂ φ₈₁₃ φ₈₁₄ φ₈₁₅ φ₈₁₆ φ₈₁₇ φ₈₁₈ φ₈₁₉ φ₈₂₀ φ₈₂₁ φ₈₂₂ φ₈₂₃ φ₈₂₄ φ₈₂₅ φ₈₂₆ φ₈₂₇ φ₈₂₈ φ₈₂₉ φ₈₃₀ φ₈₃₁ φ₈₃₂ φ₈₃₃ φ₈₃₄ φ₈₃₅ φ₈₃₆ φ₈₃₇ φ₈₃₈ φ₈₃₉ φ₈₄₀ φ₈₄₁ φ₈₄₂ φ₈₄₃ φ₈₄₄ φ₈₄₅ φ₈₄₆ φ₈₄₇ φ₈₄₈ φ₈₄₉ φ₈₅₀ φ₈₅₁ φ₈₅₂ φ₈₅₃ φ₈₅₄ φ₈₅₅ φ₈₅₆ φ₈₅₇ φ₈₅₈ φ₈₅₉ φ₈₆₀ φ₈₆₁ φ₈₆₂ φ₈₆₃ φ₈₆₄ φ₈₆₅ φ₈₆₆ φ₈₆₇ φ₈₆₈ φ₈₆₉ φ₈₇₀ φ₈₇₁ φ₈₇₂ φ₈₇₃ φ₈₇₄ φ₈₇₅ φ₈₇₆ φ₈₇₇ φ₈₇₈ φ₈₇₉ φ₈₈₀ φ₈₈₁ φ₈₈₂ φ₈₈₃ φ₈₈₄ φ₈₈₅ φ₈₈₆ φ₈₈₇ φ₈₈₈ φ₈₈₉ φ₈₉₀ φ₈₉₁ φ₈₉₂ φ₈₉₃ φ₈₉₄ φ₈₉₅ φ₈₉₆ φ₈₉₇ φ₈₉₈ φ₈₉₉ φ₉₀₀ φ₉₀₁ φ₉₀₂ φ₉₀₃ φ₉₀₄ φ₉₀₅ φ₉₀₆ φ₉₀₇ φ₉₀₈ φ₉₀₉ φ₉₁₀ φ₉₁₁ φ₉₁₂ φ₉₁₃ φ₉₁₄ φ₉₁₅ φ₉₁₆ φ₉₁₇ φ₉₁₈ φ₉₁₉ φ₉₂₀ φ₉₂₁ φ₉₂₂ φ₉₂₃ φ₉₂₄ φ₉₂₅ φ₉₂₆ φ₉₂₇ φ₉₂₈ φ₉₂₉ φ₉₃₀ φ₉₃₁ φ₉₃₂ φ₉₃₃ φ₉₃₄ φ₉₃₅ φ₉₃₆ φ₉₃₇ φ₉₃₈ φ₉₃₉ φ₉₄₀ φ₉₄₁ φ₉₄₂ φ₉₄₃ φ₉₄₄ φ₉₄₅ φ₉₄₆ φ₉₄₇ φ₉₄₈ φ₉₄₉ φ₉₅₀ φ₉₅₁ φ₉₅₂ φ₉₅₃ φ₉₅₄ φ₉₅₅ φ₉₅₆ φ₉₅₇ φ₉₅₈ φ₉₅₉ φ₉₆₀ φ₉₆₁ φ₉₆₂ φ₉₆₃ φ₉₆₄ φ₉₆₅ φ₉₆₆ φ₉₆₇ φ₉₆₈ φ₉₆₉ φ₉₇₀ φ₉₇₁ φ₉₇₂ φ₉₇₃ φ₉₇₄ φ₉₇₅ φ₉₇₆ φ₉₇₇ φ₉₇₈ φ₉₇₉ φ₉₈₀ φ₉₈₁ φ₉₈₂ φ₉₈₃ φ₉₈₄ φ₉₈₅ φ₉₈₆ φ₉₈₇ φ₉₈₈ φ₉₈₉ φ₉₉₀ φ₉₉₁ φ₉₉₂ φ₉₉₃ φ₉₉₄ φ₉

処理を説明する。図示する様に元の映像信号VSI Gは一水平同期毎に突映像期間とランキング期間に分かれている。この映像信号VSI Gは反転信号FRPに同期して一水平同期毎に偏転反転している。かかる映像信号VSI Gをランキング信号PRGに同期して処理し、ランキング期間内に所定の電位レベルVp1、Vp2を有するフリチャージ信号を挿入している。この様に合成された映像信号Vsl gを、図4のタイムミングチャートの最下段に示す。

(0020) 図6を参照して映像信号の前処理を行なう回路構成の一例を説明する。図示する様に、この回路は抵抗分割部21を備えており、電源電圧Vdd-Vsgを抵抗分割して2種類の電圧レベルVp1、Vp2を作り出している。一方の電圧レベルVp1はアナログスイッチ22のH入力に供給され、他方の電圧レベルVp2はL入力に供給される。このアナログスイッチ22は反転信号FRPをセレクト入力として、一水平同期毎交互にVp1、Vp2を選択して出力する。この様に選択されたVp1、Vp2は次の段のアナログスイッチ23の一方の入力に供給される。このアナログスイッチ23の他方の入力には元の映像信号VSI Gが供給される。アナログスイッチ23はランキング信号PRGをセレクト入力として元の映像信号VSI Gのランキング期間にVp1、Vp2を一水平同期毎交互に挿入し、合成された映像信号Vsl gを出力する。

(0021) 最後に図6を参照して、図3に示したアナログマトリクス表示装置の動作を詳細に説明する。図示する様に、合成された映像信号Vsl gはランキング期間に電圧レベルVp1、Vp2を一水平同期毎交互に有しており、フリチャージ信号を含んだ波形となっている。

(0022) 図3に示したHシフトレジスタ13はインバータ1Vtを介して各段毎にサンプリングパルスA1、A2、A3、...、ANを出力する。又、各段毎に設けられたNANDゲートはこのサンプリングパルスとランキング信号PRGに基づいて、ドライバパルスD1、D2、D3、...、DNを作成する。このドライバパルスは同じく各段毎に設けられた逆送回路DLVを介して対応するスイッチング素子H SWに供給されこれを開閉駆動する。

(0023) 図6のタイムミングチャートに示す様に、ドライバパルスD1、D2、D3、...、DNはランキング期間に同期した先頭パルスを有している。これにより各水平スイッチング素子H SWが一旦に開閉され、合成映像信号Vsl gに含まれたフリチャージ信号の電位レベルVp2又はVp1が各信号ラインに印刷される。従って、各信号ラインの電位VY1、VY2、...、VYNは一旦Vp2のレベルに充電される。なお、次の水平同期の先頭では反対極性の電位レベルVp1に充電される。このランキング期間が経過した後、各ドライバパルスD

1、D2、D3、...、DNは再び順次H SWを開閉制御し、実際の映像信号をサンプリングする。この様に、ランキング期間で全てのH SWは一旦導通状態となり、フリチャージ信号レベル(Vp1、Vp2)を各信号線VYに書き込んで、実際の映像信号が書き込まれる直前までホールドされる。つまり、ランキング期間内に各信号線VYの充放電は殆ど済ませてしまい、実際の映像信号をサンプリングする際の充放電は、フリチャージレベルと実映像信号レベルの差(ΔVのみ)となる。これにより、ビデオラインの電位揺れ(ノイズ)が抑制され、縦断の固定パタンを除去する事が可能になる。

(0024)

(発明の効果) 以上説明した様に、本発明によれば、一行分の画素に対して映像信号を書き込む直前に、各信号線に所定のフリチャージ信号を供給する事により、映像信号をサンプリングする際の充放電量を低減化している。これにより映像信号の充放電で発生するビデオラインのノイズが大幅に低減される為、縦断固定パタンを除去する効果が得られる。又、水平走査回路から出力されるサンプリングパルスの微少なばらつきを問題にする必要がなくなる。回路設計マージンを少なくする事ができるという効果がある。同様の理由により、水平走査回路の電源電圧を下げる事ができる為、消費電力の削減につながるという効果がある。特に、映像信号にフリチャージ信号を含ませ且つ水平走査回路のサンプリング動作を制御するだけでフリチャージが実現でき、回路設計上の負担をもちたさないという効果がある。

(図面の簡単な説明)

(図1) 本発明にかかるアナログマトリクス表示装置の第1実施例を示す回路図である。

(図2) 第1実施例の動作説明に供するタイムミングチャートである。

(図3) 本発明にかかるアナログマトリクス表示装置の第2実施例を示す回路図である。

(図4) 第2実施例の動作説明に供するタイムミングチャートである。

(図5) 第2実施例に用いられる映像信号の合成回路の一例を示すブロック図である。

(図6) 同じく第2実施例の動作説明に供するタイムミングチャートである。

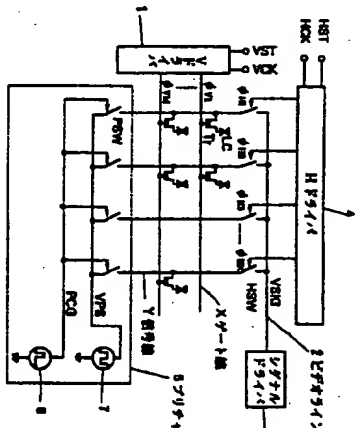
(図7) 従来のアナログマトリクス表示装置の一例を示すブロック図である。

(図8) 従来のアナログマトリクス表示装置の問題点(符号の説明)

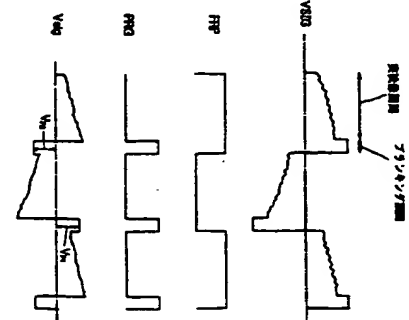
- 1 Vドライバ
- 2 ビデオライン
- 3 シグナルドライバ
- 4 Hドライバ

5 フリチャージ手段

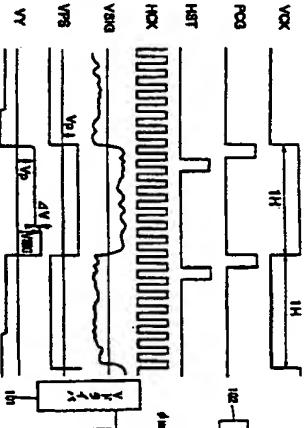
(図1)



(図4)

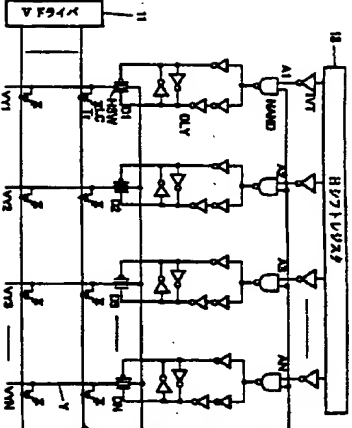


(図2)

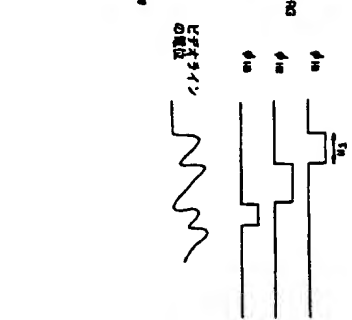


(図7)

(図3)

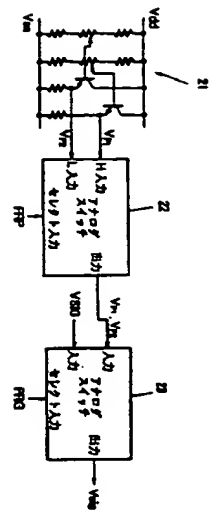


(図8)



(7)

【図5】



【図6】

